

光パスゲート論理に基づく超低遅延光回路

しんや あきひこ^{†1,2} いしはら とおる^{†3}

新家 昭彦 / 石原 亨

いのうえ こうじ^{†4} のぞき けん^{†1,2}

井上 弘士 / 野崎 謙悟

のうとみ まさや^{†1,2}

納富 雅也

NTTナノフォトニクスセンタ^{†1}

NTT物性科学基礎研究所^{†2}

京都大学大学院^{†3}

九州大学大学院^{†4}

NTT、京都大学、九州大学では、電子回路において演算を律速している信号経路にナノフォトニクス技術を適用することで、電子回路における演算遅延要因を解消する、光速コンピューティング技術を開発しています。私たちの最終目標は超高速な光電融合型の演算プロセッサを実現することです。本稿では、光を用いた新しいコンピューティング技術に関する研究を紹介します。

超低遅延演算の必要性

現在のプロセッサは、コア数などを増やして情報処理を並列化することで、一定時間当りのデータ処理能力の進展は維持されていますが、すでにその周波数応答は頭打ち状態にあります⁽¹⁾ (図1(a))。つまり高スループット性の伸びは高集積・並列化の方向でいまだ堅持されていますが、低遅延性の進展はすでに飽和しているのが現状です。そのため、脊髄反射的に即座に対応しなければならない事象で必須となるような、超高速で反応できる演算プ

ロセッサの実現のためには、新たな技術革新の出現が望まれています。

演算チップへの光技術の導入

光コンピューティング研究は、光の広帯域性を利用した超高速演算の実現をめざし、1980~1990年代に活発に行われていました。ただ光トランジスタはサイズが大きく、その集積度、消費電力、カスケードバリティなど多くの面でCMOS (Complementary Metal Oxide Semiconductor) トランジスタに大きく劣っており、研究が衰退した経緯があります。一方で、光の

優位性は通信において見出され、長距離通信で大成功を収めただけでなく、現在ではその広帯域性をチップ間・内の通信に活用した光インターコネクトへと展開されつつあります。つまり、光は情報通信に特化し、情報処理そのものは電子回路が担う、というのが現状の情報処理における光と電子の棲み分けです。

一方で、近年のナノフォトニクス技術の進展は目覚ましいものがあり、かつての光コンピューティング研究におけるいくつかの問題点はナノフォトニクス技術により克服可能となりつつあり

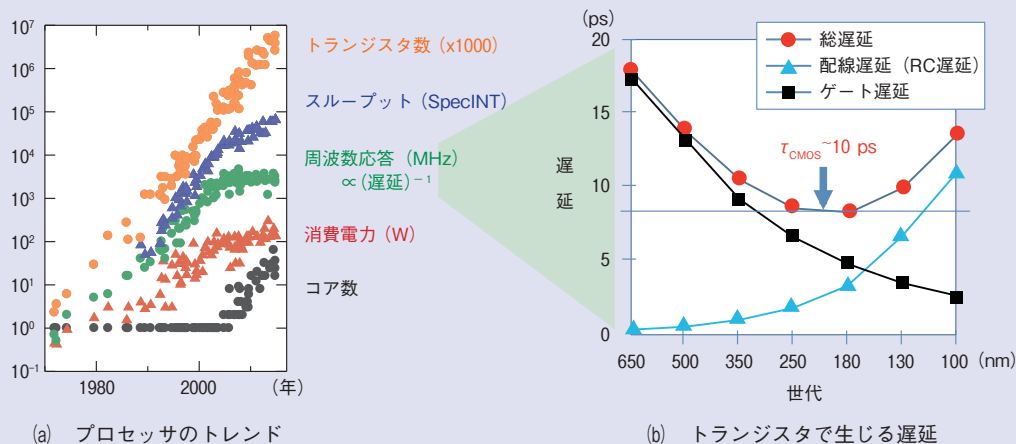


図1 プロセッサのトレンドとトランジスタで生じる遅延

ます。例えばフォトニック結晶技術により、光素子のサイズが1000分の1まで縮小され、それに伴いその消費エネルギーもCMOS回路にひっ迫してきています。つまり、通信と情報処理の境界で線引きされている光と電子の役割分担を再検討する時期が到来しつつあるのです。

演算チップの遅延要因

前述の周波数応答を律速している問題の根源は、CMOS回路内の電気抵抗(R)とキャパシタンス(C)にあります。半導体微細加工技術の進展によりCMOSトランジスタのゲート開閉時間は短縮されますが、トランジスタにつながる配線のCやRに影響を受けるため、CMOSゲートで生じるRC遅延は10 ps程度が下限であるといわれています⁽²⁾(図1(b))。またトランジスタの集積度が上がって配線が細く・長くなればなるほど配線のR、Cが増えますので、実際の回路ではさらに遅延が大きくなってしまいます。

さらに電子回路にはその構成上避けられない遅延があります。電子回路の中で幅広く使われている回路構成は、AND/OR論理回路と呼ばれるものです(図2(a))。論理ゲートからの出力信号を使って、次の論理ゲートを駆動しています。そのため、後段のゲートは前段のゲートが出力する信号の到来を待たなければなりません。このゲート操作のための待ち時間はゲート段数に比例することになり、これが大きな演算遅延を生み出しています。

トランジスタレベルで光・電素子の電融した演算チップ

配線起因の遅延を解消する1つの技

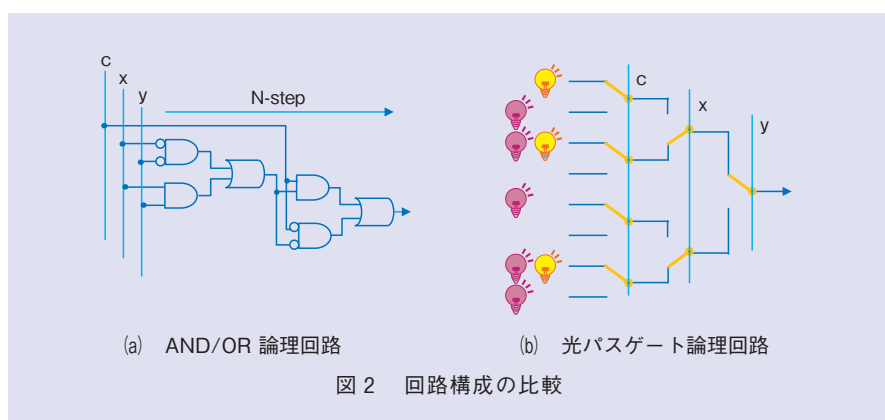


図2 回路構成の比較

術がオンチップ光通信です。コア間の情報通信を光で行うといった技術ですが、本稿ではこれをトランジスタレベルにまで拡張し、回路構成上生じてしまう遅延の問題にまで踏み込みます。

ではどのような回路構成が良いのでしょうか。このヒントはエレクトロニクスの分野から得ることができます。図2(b)はBDD(Binary Decision Diagram)⁽³⁾と呼ばれるピラミッド状の木構造で図式化された論理構成を、2×1スイッチで回路化したものです。ピラミッドの底辺、いわゆる木構造の葉の部分に“1”を出力する信号源を配置した構成となっており、外部入力(x₁, x₂, …)の組合せによって、特定の信号源=“1”、あるいは信号源なし=“0”を選出することで、あらゆるブール演算を実現することができます。またBDDにはさまざまな縮約手法が提案されており、これを流用すればスイッチ数を削減することも可能です。

このような回路構成は、パストランジスタ論理回路と呼ばれています。回路を伝搬する信号をcarryと呼び、carryの伝搬をスイッチにより切り替えることで演算を実行する回路です。

本稿では、本構成の光版を光パス

ゲート論理回路と呼ぶこととし、トランジスタを2×1または2×2の光ゲートに置き換え、光をcarry信号に利用します。

光パスゲート論理回路メリットは下記のとおりです。

(1) 信号経路の構築を全スイッチの一括操作で実現

AND/OR論理回路では、前段の論理ゲートからのcarry信号で次段の論理ゲート操作を行うため、ゲート操作の待ち時間はゲート段数に比例することになります。一方光パスゲート論理回路は全ゲートの一括操作が可能ですので、高々ピコ秒のオーダーで信号経路の構築を実現できます。

(2) 光速での演算が可能

光carryは光経路内のR・Cを感じないので、経路内のRCに律速されない回路を構成することができます。光ゲート操作にはRC遅延が生じますが、全ゲートを一括で制御することが前提の回路ですので、演算時間にほとんど影響を与えません。

(3) 光carry信号によるゲート操作が不要

この操作にはいわゆる光トランジスタが必要で、現在の技術では膨大な消費エネルギーを必要とする、あるいは

遅延がCMOSゲートと大差ない、など技術的な課題が山積しています。光パスゲート論理回路は実現の難しい光トランジスタを用いなくても論理演算が可能です。

一見すると電子回路でも実現できそうな構成ですが、carry信号が複数のトランジスタの直列抵抗を通過することになりますので、Rが大きくなり高速応答回路を実現することは困難です。

一方、光carryであれば上述のようにRC無依存で、かつナノフォトニクスを用いることでcarry伝搬時間の大幅短縮が可能です。例えば光ゲートの長さを100 μmとすると、その伝搬時間は1 psです。これはCMOSゲートで生じる遅延よりも圧倒的に小さな値です。

超低遅延光並列加算器

デジタル加算を例に、具体的な回路構成について説明します。

典型的な電子回路の構成を図3(a)に示します。carry信号 (c_i) が $i+1$ 番目の論理ブロックの中のゲート进行操作し、その結果、次のcarry信号 (c_{i+1}) を生成しています。そのためこの工程では、それぞれの論理ブロックにおいてゲート操作のための待ち時間が生じます。図3(b)は私たちの提案する新しい回路構成です。論理ブロックのすべてのゲートを同時に操作し、そのあとでcarry信号を伝搬させる構成に変更しています。

最初に、 $i+1$ 番目の論理ブロックとして、BDDをベースとする全加算器 (FA: Full Adder) を構成します。FAとは、1 bitの $x+y$ を演算するための回路です。図4(a)では、 2×1 ス

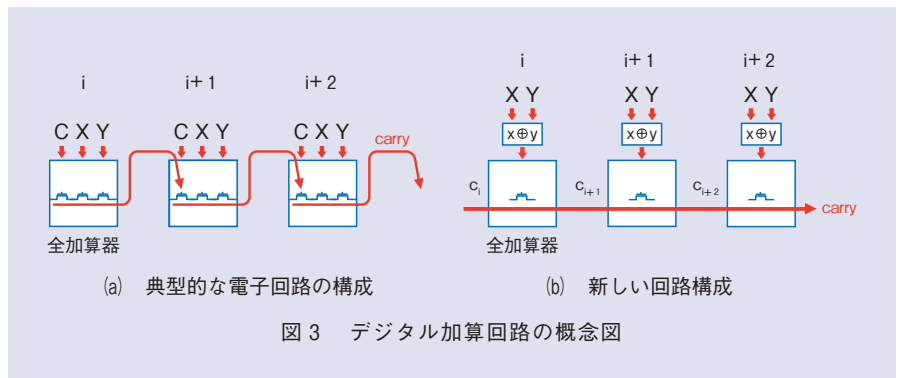


図3 デジタル加算回路の概念図

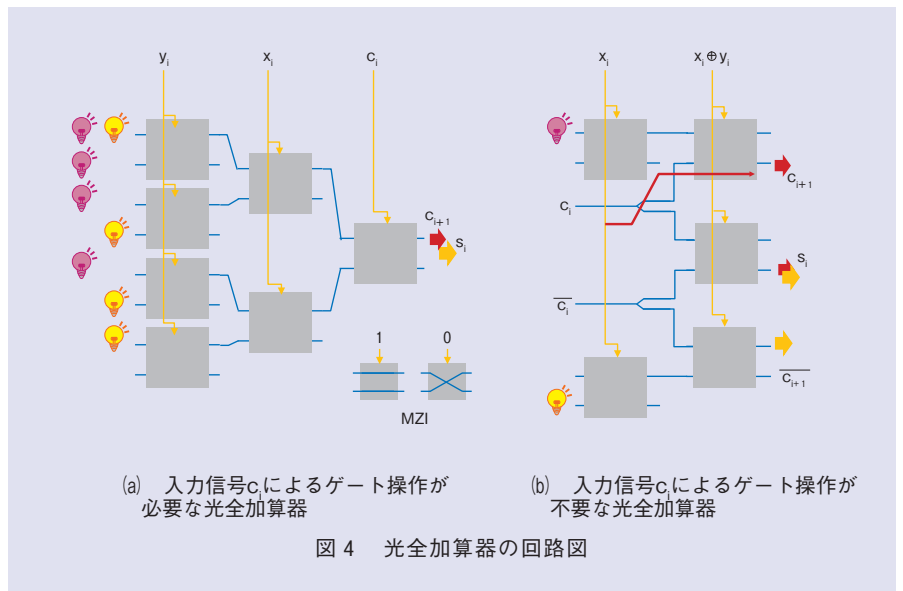


図4 光全加算器の回路図

イッチとしてマッハツェンダ干渉計 (MZI) を用います。入力信号 (x_i, y_i, c_i) が“1”のときに上側の入力ポートを選択し、“0”のときに下側の入力ポートを選択する回路が構成されており、表1の真理値表に従い、木構造の葉の部分に配置された光源を選択する回路となっています。 x_i, y_i, c_i はすべて同時に入力され、そのため、すべてのMZIは同時に駆動されます。これにより、光源から光を伝搬させるだけで、 $x+y$ の桁上げ演算 [$c_{i+1} = \text{CARRY}(x_i, y_i, c_i)$] と、 i 桁目の足し算 [$s_i = \text{SUM}(x_i, y_i, c_i)$] が完了します。

表1 全加算演算の真理値表

入力			出力	
c_i	x_i	y_i	c_{i+1}	s_i
1	1	1	1	1
1	1	0	1	0
1	0	1	1	0
1	0	0	0	1
0	1	1	1	0
0	1	0	0	1
0	0	1	0	1
0	0	0	0	0

光源

ただし、この回路は1 bitの $x + y$ 演算しか実行できません。複数bitの演算を実行するためには、 i 番目のFA回

表2 光源を入力信号 c_i, x_i で置き換えた全加算器の真理値表

入力		出力	
x_i	y_i	C_{i+1}	S_i
1	1	x_i	c_i
1	0	c_i	\bar{c}_i
0	1	c_i	\bar{c}_i
0	0	x_i	c_i

路から出力される光carry信号 (c_{i+1}) で、 $i+1$ 番目のFA回路のゲートを操作する必要があります。例えば光電(OE)変換器を用いることにより、 c_{i+1} を電気信号に変換するなどの方法がありますが、そのために生じる遅延が演算時間を遅くしてしまう問題があります。

そこで私たちは、図4(b)のような構成を考えました⁽⁴⁾。この回路は表2の真理値表に従って動作します。この真理値表は表1を書き換えたもので、図4(a)で用いた光源の代わりに、光 c_i 信号と光 x_i 信号を用いることとしています。光 c_i は*i*番目のFA回路からの出力を用い、光 x_i 信号は、光源と左上のMZIの組合せで作り出します。表2のとおり、CARRY, SUM演算はそれぞれ、XOR (x_i, y_i) = 1 (0)のときに、 c_i (x_i) を選択、 c_i (\bar{c}_i) を選択する操作となります。この操作を、図4(b)の右側の3つのMZIで実行します。例えばSUM演算は右側中央のMZIにおいて、左上(左下)のポートに c_i (\bar{c}_i)を入力し、XOR (x_i, y_i) = 1 (=0)のときに左下(左上)のポートを選択することにより実行されます。本構成では、 c_i が入力され c_{i+1} として出力される経路中にMZIが1つしかなく、これが加算演算を律速している信号経路となっています。

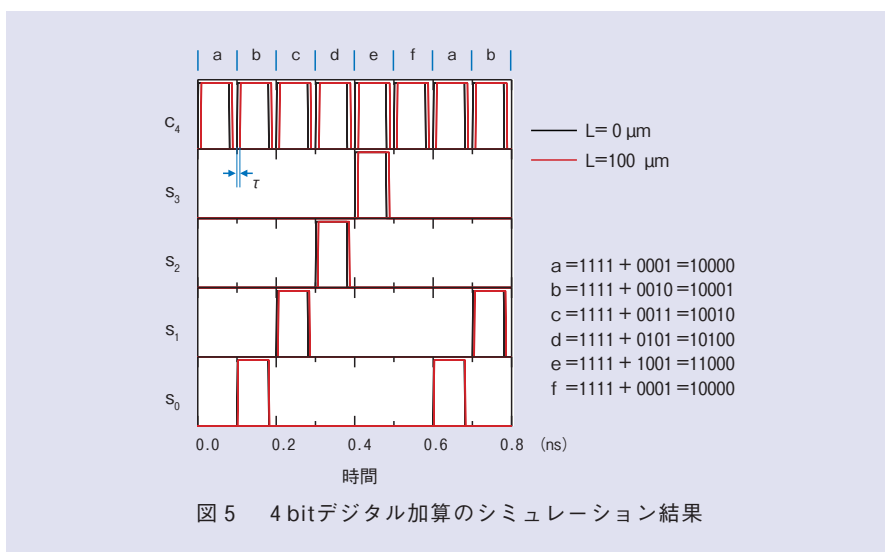


図5 4 bitデジタル加算のシミュレーション結果

4 bit加算のシミュレーション結果を図5に示します。各桁の信号の立ち上がり時間がXOR演算の応答速度を示しており、この演算遅延は桁数が増えても累積されません。一方、図中の τ が4桁分の演算遅延の累積を示しており、長さ100 μm のMZIを用いた場合、1 ps/桁の遅延となります。この値は最新のCMOS回路で実現可能な22 ps/桁よりもはるかに小さく、超低遅延演算が実現可能であることを示しています。

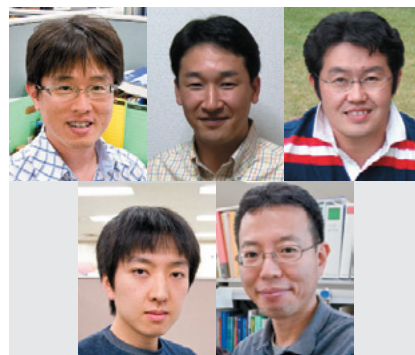
今後の展開

本稿ではデジタル加算を例に、超低遅延演算回路を紹介しました。今後は並行して研究の進められている超小型デバイスを用い、動作実証をめざします。

参考文献

- (1) <https://www.karlsruhp.net/2015/06/40-years-of-microprocessor-trend-data/>
- (2) SIA: "The National technology roadmap for semiconductors 1997 edition," 1997.
- (3) T. Asai, Y. Amemiya, and M. Koshiba: "A Photonic-Crystal Logic Circuit Based on the Binary Decision Diagram," Proc. of Int'l Workshop on Photonic and Electromagnetic Crystal Structures, T4-14, Sendai, Japan, March 2000.

- (4) T. Ishihara, A. Shinya, K. Inoue, K. Nozaki, and M. Notomi: "An Integrated Optical Parallel Adder as a First Step Towards Light Speed Data Processing," Proc. of ISOC 2016, pp.123-124, Jeju, Korea, Oct. 2016.



(上段左から) 新家 昭彦/ 石原 亨/
井上 弘士
(下段左から) 野崎 謙悟/ 納富 雅也

今回の提案は光の伝搬速度のみに着目した回路です。今後は多重性なども取り入れながら、光のメリットをもっと活かした回路を考えていきます。

◆問い合わせ先

NTT物性科学基礎研究所
ナノフォトニクスセンタ
TEL 046-240-3359
FAX 046-240-4305
E-mail shinya.akhiko@lab.ntt.co.jp